

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 33/00
H01S 3/18

(45) 공고일자 1999년10월15일
(11) 등록번호 10-0225612
(24) 등록일자 1999년07월20일

(21) 출원번호 10-1998-0022092 (65) 공개번호 특1900-0000000
(22) 출원일자 1998년06월12일 (43) 공개일자 1900년01월01일
(62) 원출원 특허 특1994-0009055

원출원일자 : 1994년04월17일 심사청구일자 1998년06월12일

(30) 우선권 주장 124890 1993년04월28일 일본(JP)
129313 1993년05월31일 일본(JP)
207274 1993년07월28일 일본(JP)
234684 1993년09월21일 일본(JP)
234685 1993년09월21일 일본(JP)
253171 1993년10월08일 일본(JP)
8726 1994년01월28일 일본(JP)
8727 1994년01월28일 일본(JP)

(73) 특허권자 니치아 카가쿠 고교 가부시카가이샤 오가와 에이지
일본국 도쿠시마켄 아난시 가미나카초 오카 491 반치 100

(72) 발명자 나카무라 슈우지
일본국 도쿠시마켄 아난시 가미나카초 오카 491 반치 100
니치아 카가쿠 고교 오 가부시카가이샤 내
야마다 다카오
일본국 도쿠시마켄 아난시 가미나카초 오카 491 반치 100
니치아 카가쿠 고교 오 가부시카가이샤 내
세노오 마사유키
일본국 도쿠시마켄 아난시 가미나카초 오카 491 반치 100
니치아 카가쿠 고교 오 가부시카가이샤 내
야마다 모토가즈
일본국 도쿠시마켄 아난시 가미나카초 오카 491 반치 100
니치아 카가쿠 고교 오 가부시카가이샤 내
반도오 간지
일본국 도쿠시마켄 아난시 가미나카초 오카 491 반치 100
니치아 카가쿠 고교 오 가부시카가이샤 내

(74) 대리인 김병진

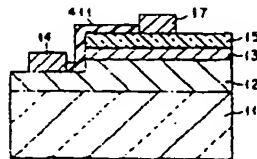
심사관 : 김동업

(54) 질화갈륨계 3-5족 화합물 반도체 발광다이오드

요약

질화갈륨계 III-V족 화합물 반도체 다이오드는, 기판위에 형성된 질화갈륨계 III-V족 화합물 반도체층 및 상기 반도체층에 접하여 형성된 음전극을 가진다. 음전극은 금속재료를 포함하여 어닐링처리되어 있다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명의 제1형태에 따른 발광다이오드를 리드프레임에 부착한 상태로 나타내는 개략적인 단면도.

제2도는 본 발명의 p전극의 전류-전압특성을 나타내는 그래프(도면에 있어서 X축1은 전압이고 Y축1은

금은 0.2mA이다).

제3도는 본 발명의 제2형태에 따른 발광다이오드의 평면도.

제4도는 제3도의 IV-IV선 단면도.

제5도는 본 발명의 제2형태의 변형예를 나타내는 사시도.

제6도는 본 발명의 제3형태에 따른 발광다이오드를 나타내는 단면도.

제7도는 본 발명의 제3형태의 제1변형예를 나타내는 단면도.

제8도는 본 발명의 제3형태의 제2변형예를 나타내는 단면도.

제9도는 본 발명의 제3형태의 제3변형예를 나타내는 단면도.

제10도는 본 발명의 제4형태에 따른 반도체 발광다이오드를 나타내는 단면도.

제11a도~제11d도는 본 발명의 n전극의 전류-전압특성을 비교예와 함께 나타내는 그래프(각 도면에 있어서 X축 1눈금은 0.5V이고, Y축 1눈금은 50 μ A이다).

제12a도~제12d도는 본 발명의 또 다른 n전극의 전류-전압특성을 비교예와 함께 나타내는 그래프(각 도면에 있어서 X축 1눈금은 0.5V이고, Y축 1눈금은 50 μ A이다).

제13a도~제13d도는 본 발명의 또 다른 n전극의 전류-전압특성을 비교예와 함께 나타내는 그래프(각 도면에 있어서 X축 1눈금은 0.5V이고, Y축 1눈금은 50 μ A이다).

제14a도~제14d도는 본 발명의 또 다른 n전극의 전류-전압특성을 비교예와 함께 나타내는 그래프(각 도면에 있어서 X축 1눈금은 0.5V이고, Y축 1눈금은 50 μ A이다).

제15도는 n전극의 제작시형을 설명하기 위한 도면.

제16도는 본 발명의 제5형태에 따른 반도체 발광다이오드의 일부를 나타내는 단면도.

제17도는 본 발명의 제5형태에 있어서의 상이한 n전극의 전류-전압특성을 비교예와 함께 나타내는 그래프(각 도면에 있어서 X축 1눈금은 0.5V이고, Y축 1눈금은 50 μ A이다).

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 옴(ohmic)전극을 가지는 질화갈륨(gallium nitride, GaN)계 III-V족 화합물 반도체 디바이스에 관한 것이다.

최근 GaN, GaAlN, InGaN, InAlGaN등의 질화갈륨계 III-V족 화합물 반도체

종래의 p형 도펀트가 도핑된 질화갈륨계 III-V족 화합물 반도체는 고저항률(high resistivity)의 i형 그대로이고, 따라서 종래의 디바이스는 소위 MIS형 구조의 것이었다. 최근, 고저항률의 i형층을 저저항률의 p형층으로 전화(轉化)하는 기술이 예들 들어 일본국 공개특허 평2-257679호, 공개특허 평3-218325호 및 공개특허 평5-183189호 공보에 개시되어 있으며, p-n접합형의 질화갈륨계 III-V족 화합물 반도체 발광다이오드를 실현할 수 있도록 개발되어 왔다.

발명이 이루고자하는 기술적 과제

그러나, 이와 같은 p-n접합형의 질화갈륨계 화합물 반도체가 실현되게 되면, p형층 및/또는 n형층에 접하여 형성되는 전극에 여러 가지 문제가 있는 것으로 밝혀졌다.

현재로서의 p-n접합형 질화갈륨계 III-V족 화합물 반도체 발광다이오드는 그 제조상의 제약으로서 화합물 반도체층 중 최상층에 p형 화합물 반도체층을 가진다. 또, 이러한 디바이스의 기판으로서 일반적으로 투명한 사파이어기판이 사용되고 있다. 다른 반도체 발광다이오드에 사용되는 GaAs, GaAlP와 같은 반도체 기판과는 달리 사파이어는 절연성이기 때문에, 화합물 반도체층에 소정의 전류를 인가하여 디바이스가 그 발광기능을 하도록 하기 위한 전극을 기판 자체에 직접 형성할 수 없다. p전극 및 n전극은 각각 p형 화합물 반도체층 및 n형 화합물 반도체층에 직접 접하여 형성하지 않으면 안된다. p전극은 p형 화합물 반도체층 전체로의 균일한 전류인가를 보증하고 그리고 더

따라서, 상기와 바와 같은 종래의 화합물 반도체 발광다이오드를 리드프레임에 마운트(mount)할 경우, 화합물 반도체층이 형성되어 있지 않은 기판면을 상측으로 향하게 하기 위해서 p전극 및 n전극을 하측으로 하여 2개의 리드프레임에 얹어 놓아야 한다. 즉, 1개의 반도체 칩을 2개의 리드프레임에 걸쳐서 얹어 놓아야 한다. 이때, p형 화합물 반도체층과 n형 화합물 반도체층의 전기적 단락을 회피하기 위해서는 2개의 리드프레임 간격을 어느 정도 확보하지 않으면 안되기 때문에, 자연히 반도체칩 1개의 사이즈도 약 1mm평방 이상으로 크게 되지 않을 수 없다. 따라서, 종래의 디바이스 구조에 있어서 웨이퍼 한 장에서 얻어지는 칩의 수는 필연적으로 적어지게 된다. 또, 리드프레임 2개의 매우 미세한 위치맞춤이나 질화갈륨계 화합물 반도체의 정교한 에칭기술도 필요하다.

다음은 n전극에 관한 것인데, 이미 설명한 바와 같이 p-n접합형 질화갈륨계 III-V족 화합물 반도체 디바이

스가 실현된 것은 최근의 일이며, 종전의 MIS형 구조의 발광다이오드에서는, 전극은 고저항을 i형층과의 쇼트키 베리어(Schottky barrier)를 이용하는 것이었기 때문에 n전극에는 거의 주의를 기울이지 않았었다.

종래의 MIS구조의 질화갈륨계 III-V족 화합물 반도체 발광다이오드의 n전극

어쨌든, 종래 질화갈륨계 III-V족 화합물 반도체층과 충분히 만족할 수 있는 옴접촉을 달성하는 전극재료는 없었던 것이다.

따라서, 본 발명의 목적은 질화갈륨계 III-V족 화합물 반도체층과 옴접촉을 달성하는 전극을 구비한 질화갈륨계 III-V족 화합물 반도체 발광다이오드를 제공하는 데 있다.

본 발명의 또 다른 목적은 n전극(제1전극)과 p전극(제2전극)의 전기적인 합선이나 이것들의 손상 등을 방지할 수 있음과 아울러, 본딩패드나 p전극이 와이어본딩시에 박리되는 것을 방지할 수 있는 질화갈륨계 III-V족 화합물 반도체 발광다이오드를 제공하는 데 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명은, 기판과, 상기 기판 위에 형성된 n형 반도체층 및 p형 반도체층을 포함하는 반도체 적층구조와, 상기 P형 반도체층의 일부가 제거되어 노출된 상기 n형 반도체층에 접하여 형성된 제1전극과, 상기 p형 반도체층에 접하여 형성된 제2전극과, 상기 제2전극에 접하여 형성된 본딩을 위한 본딩패드를 구비한 질화갈륨계 III-V족 화합물 반도체 발광다이오드에 있어서, 상기 제2전극은 상기 p형 반도체층의 거의 전면에 접하여 형성된 금속재료를 포함하는 투광성의 전극이고, 상

본 발명에 있어서 질화갈륨계 III-V족 화합물 반도체란, GaN, GaAlN, InGa_xN, InAlGa_yN과 같은 갈륨을 포함하는 주기율표 제 III족원소의 질화물 반도체를 의미한다. 이들 화합물 반도체는 식 In_xAl_yGa_{1-x-y}N (여기서, 0 ≤ x ≤ 1, 0 ≤ y ≤ 1, x+y ≤ 1)으로 나타낼 수 있다.

또, 본 발명에 있어서 옴접촉이란, 반도체 분야에서 통상의 의미로 사용되고 있다.

본 발명에 있어서 전극에 대하여 투광성(透光性)이란, 질화갈륨계 III-V족 화합물 반도체 발광다이오드에서 발생된 광을 1% 이상 투과시킨다는 것을 의미하며, 반드시 무색 투명한다는 것을 의미하는 것이 아니다. 투광성 전극은, 통상 질화갈륨계 III-V족 화합물 반도체 발광다이오드에서 발생된 광을 20~40% 또는 이것 이상 투과시킨다.

또, 본 발명에 있어서, 금속재료가 2종 이상의 금속을 포함하는 경우는 2종 이상의 금속이 미리 합금화되어 있어도 되고 각 금속층이 적층되어 있어도 된다. 금속재료가 2종 이상의 금속을 포함할 경우, 이들 금속의 비율에는 특별한 제한이 없으나 각 금속이 적어도 0.1원자% 포함되어 있는 것이 바람직하다.

이하 본 발명을 첨부도면을 참조하여 상세하게 설명한다. 전체 도면에 있어서 등

제1도는 본 발명의 제1형태에 따른 질화갈륨계 III-V족 화합물 반도체 발광다이오드(10)를 개략적으로 나타낸 것이다.

상기 발광다이오드(LED: 10)는 사파이어등의 투명하고 절연성이 있는 기판(11)을 가진다. 기판(11)의 일측의 주면(主面: 11a) 전체를 덮도록 n형 질화갈륨계 III-V족 화합물 반도체층(12)이 예들 들어 0.5μm~10μm의 두께로 형성되어 있다. n형 반도체층(12)에는 n형 도펀트가 도프되어 있지 않아도 되나, 바람직하게는 규소(Si), 게르마늄(Ge), 셀렌(Se), 황(S), 텔루르(Te) 등의 n형 도펀트가 도프되어 있다.

n형 반도체층(12)의 표면에는 P형 질화갈륨계 III-V족 화합물 반도체층(13)이 예들 들어 0.01μm~5μm의 두께로 형성되어 있다. p형 반도체층(13)은 아연(Zn), 마그네슘(Mg), 베릴륨(Be), 스트론튬(Sr), 바륨(Ba) 등의 p형 도펀트가 도프되고, 400℃ 이상의 온도에서 어닐링되었다. [이 어닐링에 대해서는, 본 양수인의 출원에 관한 일본국 공개특허 평5-183189호 공보(본 양수인에게 양도된 1992년 11월 2일에 출원된 미국특허출원 시리즈번호 07/970,145(이 내용을 본 명세서의 개시내용으로서 포함한다)에 대응함)참고할 수 있다].

p형 반도체층(13)은 n형 반도체층(12)의 표면층과 함께 부분적으로 에칭제거되어 n형 반도체층(12)의 표면을 부분적으로 노출시키고 있다. 이 n형 반도체층(12)의 노출면(에칭부) 위에는 n전극(14)이 형성되어 있다.

p형 반도체층의 거의 전면을 덮도록 본 발명의 p전극(15)이 형성되어 있다. 이

상기한 바와 같이 금속재료가 2종 이상의 금속을 포함하는 경우에는, 이들은 각 금속층을 적층한 구조를 가지고 있어도 되고 미리 합금화되어 있어도 된다. 적층구조를 가지는 금속재료는 이후 설명하는 어닐링에 의해서 합금을 형성할 수 있다.

p전극(15)은 p형 반도체층(13) 위에 금속재료층을 예들 들어 증착, 스퍼터링등의 통상의 피착(被着)기술에 의해서 형성하고, 이것을 어닐링함으로써 조제할 수 있다. 어닐링은 400℃ 이상의 온도에서 실시하는 것이 바람직하다. 400℃ 미만의 온도에서의 어닐링은 금속재료와 p형 반도체층(13)이 충분한 옴접촉을 형성하기 어려운 경향을 나타낸다. 물론 어닐링은 질화갈륨계 III-V족 화합물 반도체의 분해온도(1200℃정도) 미만의 온도에서 한다. 어닐링 시간은 0.1분~30분인 것이 바람직하다.

상기 어닐링의 효과는 상기한 USSN 07/970,145호에 기재되어 있는 효과와 동일하다. 즉, 기상성장법(氣相成長法)에 의해서 성장된 p형 도펀트를 포함하는 질화갈륨계 III-V족 화합물 반도체층을 400℃ 이상의 온도에서 어닐링하면 그 저항률이 급격히 저하한다. 이것은, 어닐링에 의해서 반도체 결정내의 역쌍터에 결합한 수소원자가

p전극(15)에 사용되는 금속재료는 어닐링후의 두께가 0.001μm~1μm의 두께가 되도록 형성하는 것이 바람직

하다. 금속재료는 어닐링에 의해서 p형 반도체층(13)의 내부로 확산됨과 동시에 일부는 외부로 비산하여 두께가 얇아진다. 어닐링후에 최종 두께가 $0.001\mu\text{m}\sim 1\mu\text{m}$ 가 되도록 금속재료층의 두께를 조절함으로써 p전극(15)을 바람직한 투광성으로 할 수 있다. $1\mu\text{m}$ 를 넘는 두께라도 특별한 지장은 없으나, 이와 같이 하면 전극이 점차 금속색을 띠는 경향이 있어 투광성이 저하된다. p전극(15)의 두께는 상기한 범위내에서 얇은 것이 투광성의 관점에서는 바람직하다. 그러나, 너무 얇은 두께는 p전극(15)과 p형 반도체층(13)과의 접촉저항을 증가시키는 경향이 있다. 따라서, p전극(15)의 두께는 $0.05\mu\text{m}\sim 0.2\mu\text{m}$ 정도가 바람직하며, 특히 $0.01\mu\text{m}\sim 0.2\mu\text{m}$ 정도가 바람직하다.

본 발명의 p전극은 투광성이고, p형 반도체층과 바람직한 옴접촉을 달성하고, 발광다이오드의 순방향 전압을 저하시켜 다이오드의 발광효율을 향상시킨다.

[실형예 1]

아연을 도포한 p형 GaN층 위에 니켈층과 그 위에 금층을 각각 $0.1\mu\text{m}$ 의 두께로 순차 증착하고, 600°C 에서 어닐링하여 이것들을 합금화함과 동시에 투명하게 하여 p전

이와 같이 p형 반도체층과 옴접촉하는 투광성의 p전극(15)을 구비한 본 발명의 발광다이오드(10)는 발광의 관찰을 p전극(15)을 통해서 할 수 있다. 따라서, 제1도에 나타난 바와 같이 질화갈륨계 화합물 반도체 이외의 반도체를 이용한 발광다이오드 수단으로서 일반적으로 사용되고 있는 캡형상의 리드프레임(18) 위에 기판(11)을 그 반도체층이 형성되어 있지 않은 저면, 즉 제1주면(11a)과 대향하는 제2주면(11b)이 리드프레임(18)을 향하도록 얹어놓을 수 있다.

p전극(15)은 그 표면의 일부분 위에 형성된 본딩패드(17)를 통해서 별도의 리드프레임(금속포스트: 19)에 접속된 금와이어와 같은 본딩와이어(21)와 접속되어 있다. n전극(14)은 금와이어와 같은 본딩와이어(20)를 통해서 캡형상의 리드프레임(18)과 접속되어 있다.

본 발명의 바람직한 형태에 있어서, 본딩패드(17)는 금 단독 또는 금을 포함하고 알루미늄 또는 크롬을 포함하지 않는 2종 이상의 금속으로 이루어지는 금속재료로 형성하는 것이 바람직하다. 금을 포함하고 알루미늄 또는 크롬을 포함하지 않는 금속재료로서는 금과 티탄, 니켈, 인듐 및/또는 백금을 포함하는 재료를 들 수 있다. 이와 같은 금속재료로 이루어지는 본딩패드는 p전극(15)과의 접촉성이 양호하고, 금와이어와의 와이어본딩시에 금와이어에 의해서 형성되는 금볼(金 ball)과의 정착성이 양호하다. 또한, 이 금속재료는 어닐링시 또는 발광을 위한 다이오드로의 통전중에 p전극으로 마이

[실형예 2]

기판(11)으로서 사파이어 기판을, n형 반도체층(12)으로서 두께 $4\mu\text{m}$ 의 n형 GaN층을, p형 반도체층(13)으로서 두께 $1\mu\text{m}$ 의 마그네슘을 도포한 p형 GaN층을 가지는 제1도에 나타난 다이오드의 p전극(15) 위에 여러 금속재료로 이루어지는 본딩패드를 형성하였다. p전극(15)은 니켈층과 금층을 각각 $0.1\mu\text{m}$ 의 두께로 순차 증착하고 600°C 에서 어닐링함으로써 이것들을 합금화함과 동시에 투명하게 하여 얻은 두께 $0.05\mu\text{m}$ 의 것이었다.

보다 구체적으로는, 하기 표 1에서 나타내는 본딩패드의 재료에 의거하여 본딩패드를 p전극 위에 형성하였다. 즉, 본딩패드는 표 1의 세로에 나타난 금속층을 p전극 위에 직접 형성하고 그 위에 표 1의 가로에 나타난 금속층을 증착하고, p전극의 어닐링시에 동시에 어닐링되어 형성되었다. 본딩와이어는 금와이어를 사용하였다.

이와 같이 하여 얻어진 발광다이오드를 500시간 연속발광시켜 본딩패드가 p전극상에 미치는 영향을 조사하였다. 그 결과를 표 1에 병기한다.

[표 1]

| 세로 \ 가로 | Au | Ni | Ti | In | Pt | Al | Cr |
|---------|----|----|----|----|----|----|----|
| Au | VG | VG | G | G | G | B | B |
| Ni | VG | | | | - | B | - |
| Ti | G | | | | - | B | - |
| In | G | | | | - | B | - |
| Pt | G | | | | | B | B |
| Al | B | B | B | B | B | B | B |
| Cr | B | | | | | B | - |

표 1에 있어서, 기호 VG는 'very good'의 약어로서 다이오드의 500시간 발광후에도 본딩패드가 전혀 변색되지 않고 초기의 투광성을 그대로 유지하고 또한 p전극과 p형 반도체층과의 옴접촉 특성이 변화하지 않았던 경우를 나타내며, 기호 G는 'good'의 약어로서 본딩패드의 주위에 존재하는 p전극 부분이 약간 변색되었으나 발광의 감쇠를 느낄 정도는 아니고, 또 p전극과 p형 반도체층과의 옴접촉 특성이 변화하지 않았던 경우를 나타내며, 기호 B는 'bad'의 약어로서 p전극의 투광성이 상실되고 p전극과 p형 반도체층과의 옴접촉 특성도 상실된 경우를 나타낸다. 단, p전극의 변색 유무에 관계없이 금볼과의 정착성이 나쁘고 와이어본딩이 곤란하였던 본딩패드는 '-' 표시로 나타내었다.

표 1에 나타난 바와 같이, 예를 들어 p전극을 Ni-Au으로 형성한 경우에 본딩패드를 p전극의 재료와 같은 재료 즉 Ni-Au으로 형성하면, p전극은 전혀 변색되지 않고 투광성을 그대로 유지한다. 또, 본딩패드를 금 단독으로 형성한 경우에도 같은 결과가 얻어진다. 그런데, Cr 또는 Al은 모두 p전극내로 마이그레이션하기 쉽고, 예를 들어 여기에 금이 포함되어 있더라도 p전극의 특성을 열화시킨다.

[실형예 3]

p전극을 Au-Ti로 형성한 것(이 p전극의 용특성은 Ni-Au전극보다도 약간 떨어진다) 이외에는 제2실시에와 동일한 실험을 하였다. 그 결과, 본딩패드를 금단독 또는 Au-Ti로 형성한 경우에는 VG, 금과 알루미늄 또는 크롬 이외의 금속(즉 니켈, 티탄, 인동 또는 백금)으로 이루어지는 금속재료를 형성한 경우에는 G, 금과 알루미늄 또는 크롬으로 이루어지는 금속재료를 형성한 경우에는 B의 결과를 얻었다.

[실형예 4]

p전극을 Au-Al로 형성한 것(이 p전극의 용특성은 Ni-Au전극보다도 약간 떨어진다) 이외에는 실험예 2와 동일한 실험을 하였다. 이 결과, 본딩패드를 금 단독으로 형성한 경우에는 VG, 금과 알루미늄 또는 크롬 이외의 금속(즉 니켈, 티탄, 인동 또는 백금)으로 이루어지는 금속재료를 형성한 경우에는 G의 결과를 얻었다. 금과 알루미늄으로 이루어지는 금속재료를 본딩패드를 형성한 경우에는 p전극과 동일한 재료로 되어 있지만 B의 결과를 얻었다. 또, 금과 크롬으로 이루어지는 금속재료의 경우에도 B의 결과를 얻었다.

제3도는 본 발명의 제2형태에 따른 반도체 발광다이오드의 평면도이고, 제4도는 제3도의 IV-IV선 단면도이다. 이 형태는 특히 p전극용 본딩패드의 개량에 관한 것이다. 이들 도면에 나타난 바와 같이, 투광성의 p전극(15)에는 p형 반도체층(13)의 표면의 일부를 노출시키는 에칭부(311)가 형성되어 있다. 본딩패드(32)는 상기 에칭부(311)를 통해서 p형 반도체층(13)과 강고하게 접촉함과 아울러 p전극과 전기적으로 접속되어 있다. 도면에 나타난 형태에서는, 본딩패드(32)가 에칭부(311)에 충전될 뿐만 아니라 에칭부(311)를 둘러싸는 p전극의 표면부분 위에도 연장되어 있다. 본딩

본딩패드(32)는 p형 반도체층(13)과 용접축을 달성하는 것이어도 되지만, p형 반도체층(13)과의 용접축은 p전극(15)에 의해서 달성되기 때문에, p전극(15)과 전기적으로 접속할 수 있는 것이라면 용접축을 달성하는 것이 아니라도 된다. 단, 본딩패드(32)는 p전극(15)보다 강하게 p형 반도체층(13)과 접촉하는 도전성 금속재료를 형성한다. 본딩패드(32)는 p전극(15)보다 강하게 p형 반도체층(13)과 접촉하기 때문에, 와이어 본딩시에 이것이 금와이어등의 본딩와이어에 의해서 잡아당겨진다 하더라도 본딩패드(32) 및/또는 p전극(15)이 박리되는 것을 방지할 수 있다. 이와 같은 본딩패드용 금속재료로서는 알루미늄 단독 또는 크롬, 알루미늄 및 금 중에서 적어도 2종의 금속을 포함하는 금속재료를 들 수 있다. 본딩패드(32)를 형성하는 금속재료가 2종 이상의 금속을 포함하는 경우에는 이미 설명한 바와 같이 이것들은 미리 합금화되어 있어도 되고, 각 금속층을 순차 적층하고서 예를 들어 p전극(15)의 어닐링시에 동시에 합금화하여도 된다. 이들 금속재료는 p형 반도체층(13)과 양호한 용접축을 달성할 수는 없지만 p형 반도체층(13)과 강고하게 접촉되므로 와이어본딩시에 박리되는 경우는 없다. 따라서, 이것을 투광성을 나타낼 때까지 박막화(薄膜化)할 수도 있다. 이와 같은 박

[실형예 5]

1개의 p형 GaN층 위에 Ni-Au를 0.01 μ m의 두께로 적층, 증착하여 투광성 본딩패드를 총 1000개 형성하였다. 또한, Cr-Al, Al-Au, Cr-Au 및 Al 단독을 각각 0.01 μ m의 두께로 증착하여 투광성 본딩패드를 각각 총 1000개씩 형성하였다. 이들 본딩패드에 금와이어를 와이어 본딩한 후, 이 금와이어를 떼어낼 때 본딩패드가 박리된 수를 체크하여 그 성공률(yield)을 측정하였다. Ni-Au으로 이루어지는 본딩패드의 성공률은 약 60%이었으나, 다른 본딩패드의 성공률은 모두 98%이었다.

또한, 본딩패드(32)를 두껍게 형성함으로써, 그 두꺼운 두께에 의해서 p형 반도체층(13)과의 접착력을 향상시킬 수도 있다. 두꺼운 본딩패드는 투광성을 나타내지는 않지만, 예를 들어 p전극과 동일한 재료로 형성하면 용접축을 달성할 수 있다.

제5도는 에칭부(312)를 투광성 p전극(15)의 모서리를 잘라내도록 형성한 것 이외에는 제4도의 디바이스와 동일한 디바이스를 나타내고 있다. 또, 제5도에는 에칭부(312)를 명료하게 나타내기 위해서 본딩패드를 도시하지 않았다.

제6도는 절연성이고 투명한 보호막(411)이 얇은 투광성 p전극(15)을 덮은 것 이외에는 제1도에 나타난 발광다이오드와 동일한 발광다이오드를 나타낸다. 보호막은 광을 90% 이상 투과시키는 투명성을 갖는다. 또, 보호막은 절연성이기 때문에 와이어

보호막을 형성하는 재료는 투명하고 절연성인 것이라면 특별히 제한되지는 않지만, 바람직하게는 산화규소, 산화티탄, 산화알루미늄, 질화규소를 포함한다. 이들 재료는 막두께의 여하에 관계없이 무색 투명하고 또 절연성이다. 따라서, 이들 재료에 의해서 형성된 보호막은 p전극을 투과한 광을 감소시키는 일이 거의 없다. 보호막은 통상의 증착 또는 스퍼터링 기술에 의해서 형성할 수 있다. 보호막의 두께에는 특별한 제한은 없으나 통상 0.001 μ m~10 μ m이다.

또한, 특히 n전극(14)과 본딩패드(17)사이의 영역에서는 와이어 본딩시에 본딩와이어에서 형성된 금속물이 n전극(14)과 p전극(15)을 브리징(bridging)하기 쉽게한다. 따라서, 제6도에 있어서 보호막(411)은 이와 같은 영역을 전면적으로 덮고 있다.

제7도는 보호막(412)이 p전극(15)의 전노출면과 p형 반도체층(13)의 노출단면 및 n형 반도체층의 노출면을 덮고 있는 것 이외에는 제6도와 동일한 구조를 나타내고 있다. 따라서, 제7도의 발광다이오드의 신뢰성은 제6도의 디바이스의 발광다이오드보다 더욱 향상된다.

제8도는 연속한 보호막(413)이 n전극(14)의 본딩와이어가 접속되는 본딩부와

제9도는 n전극(14)과 본딩패드(17)가 평면 장방형상 웨이퍼의 대각선상에 있어서 대향하는 모서리에 형성되어 있는 것 이외에는 제8도와 동일한 구조를 나타내고 있다. 이 전극배치에 의해서 제3도에 관해서 설명한 장점과 동일한 장점을 얻을 수 있다.

다음은, 본 발명의 n전극에 대해서 설명한다.

본 발명의 n전극은 티탄과 알루미늄을 포함하는 금속재료. 예를 들어 티탄과 알루미늄을 포함하는 재료, 또는 티탄과 금과 알루미늄을 포함하는 재료로 형성된다. 이들 금속은 미리 합금화되어 있어도 되고 각 금속층이 적층된 구조의 것이어도 된다. 이들 금속재료로 형성된 n전극은 어닐링후에 n형 질화갈륨계 III-V족 화합물 반도체층과 우수한 음접촉을 달성한다.

상기 어닐링의 온도는 400°C 이상인 것이 특히 바람직하다. 어닐링은 0.01분~30분 실행하는 것이 바람직하다.

일반적으로 질화갈륨계 III-V족 화합물 반도체는 도펀트가 도프되어 있지 않아도 결정중에 질소격자(窒素格子)의 빈 공간이 형성되므로 n형이 되는 성질을 갖는다.

n전극에 대한 어닐링온도는 500°C 이상이 바람직하고, 600°C 이상이 더 좋다. n전극재료가 알루미늄을 포함하는 경우, 어닐링 온도는 보다 낮은 온도로 충분하며, 바람직하게는 450°C 이상 더욱 바람직하게는 500°C 이상이다. 어닐링 온도의 상한은 p전극의 어닐링 온도의 상한과 동일하며, 질화갈륨계 III-V족 화합물 반도체가 분해되는 온도 미만이다. n전극의 층 두께에는 특별한 제한은 없지만 통상 50Å 이상, 바람직하게는 0.01μm~5μm이다.

티탄과 알루미늄을 포함하는 본 발명의 n전극재료는 각 금속층을 적층구조로 하는 것이 바람직하다. 이 경우, 티탄층을 n형 질화갈륨계 III-V족 화합물 반도체층 위에 직접 적층시키는 것이 바람직하다. 티탄은 n형 질화갈륨계 III-V족 화합물 반도체와 보다 우수한 음접촉을 달성할 수 있기 때문이다. 이 경우, 티탄층은 20Å~0.3μm의 두께로 형성하는 것이 바람직하다. 또, 알루미늄층의 층 두께는 티탄층보다 두꺼운 것이 바람직하다. 따라서, 어닐링시에 티탄이 표면 마이그레이션하여 나중에 실행되는 와이어 본딩시에 있어서의 n전극의 와이어 또는 볼과의 접촉강도가 저하되는 것을 방지할 수 있다.

티탄과 금 및 알루미늄을 포함하는 본 발명의 n전극재료는 티탄과 알루미늄으로 이루어지는 n전극재료보다도 내산화성이 우수하여 와이어 본딩시에 형성되는 금속과 더욱 강고하게 접착된다. 또, 금을 포함하는 본 발명의 n전극재료는 최상층을 금층으로 하는 적층구조로 하는 것이 바람직하다. 금층은 당연히 금속과 매우 강하게 접착하기 때문이다.

제10도는 본 발명의 n전극을 구비한 이중 헤테로구조의 발광다이오드를 나타낸다. 이 다이오드는, 예를 들어 사파이어 기판(11) 위에 도펀트가 도프되지 않은 GaN으로 이루어지는 두께 0.002~0.5μm의 버퍼층(도시생략)을 개재하고서 n형 질화갈륨계 III-V족 화합물 반도체층(51)이 예를 들어 1μm~10μm의 두께로 형성되어 있다.

n형 반도체층(51) 위에는 n형 질화갈륨계 III-V족 화합물 반도체, 예를 들어 규소등의 n형 도펀트가 도프된 n형 GaAlN으로 이루어지는 제1피복층(52)이 형성되어 있다. 이 피복층(52)은 통상 0.01μm~5μm, 바람직하게는 0.1μm~4μm의 두께를 갖는다.

제1피복층(52) 위에는 피복층(52)과는 상이한 반도체 조성을 가지는 질화갈륨계 III-V족 화합물 반도체로 이루어지는 활성층(발광층: 53)이 형성되어 있다. 이 활성층(53)은 n형 또는 p형 도펀트, 바람직하게는 규소등의 n형 도펀트가 도프된 저저항을 $\text{In}_x\text{Ga}_{1-x}\text{N}$ (0a1)으로 형성되어 있는 것이 바람직하다. 활성층(53)은 10Å~0.5μm, 바람직하게는 0.01~0.2μm의 두께를 갖는다.

활성층(53) 위에는 활성층(53)과는 상이한 반도체 조성을 가지는 p형 질화갈륨계 III-V족 화합물 반도체, 예를 들어 마그네슘등의 p형 도펀트가 도프된 GaAlN으로 이루어지는 제2피복층(54)이 형성되어 있다. 제2피복층(54)은 통상 0.01μm이상 바람직하게는 0.1~1μm의 두께를 갖는다.

제2피복층(54) 위에는 p형 질화갈륨계 III-V족 화합물 반도체, 예를 들어 p형 GaN으로 이루어지는 접촉(contact)층(55)이 형성되고 그 위에 p전극(56)이 형성되어 있다. p전극(56)은 모든 적절한 도전성 금속재료로 형성할 수 있다. 양호한 음접촉을 나

웨이퍼는 접촉층(55)에서 그 깊이방향으로 n형 반도체층(51)의 표면부에 이르기까지 부분적으로 에칭제거되어 n형 반도체층(51)을 부분적으로 노출시키고 있다. 이 n형 반도체층(51)의 노출면(에칭부) 위에는 본 발명의 n전극(57)이 형성되어 있다. n전극(57)은 금속물(58)을 통해서 본딩와이어(61)와 접속되어 있다.

[실형예 6]

직경 2인치의 사파이어 기판 위에 규소를 도프한 n형 GaN층을 4μm의 두께로 형성하고, 그 표면 위에 100μm의 크기로 여러 종류의 n전극재료를 각각 1000개씩 증착하고 450°C로 어닐링하였다. 동일재료로 이루어진 전극간의 전류-전압특성을 모두 측정하였다. 결과를 제11a~도 11d에 선 A~D로 나타내었다. 도 11a는 티탄과 알루미늄을 0.01 : 1의 두께 비율로 순차적으로 적층하여 얻은 전극, 도 11b는 티탄을 1중량 % 함유하는 Al-Ti합금으로 형성된 전극, 도 11c는 티탄 단독으로 이루어진 전극, 도 11d는 알루미늄 단독으로 이루어진 전극에 관한 것이다. 이들 도면을 각각 대표적인 전류-전압특성을 나타내는 도면으로서, 티탄 및 알루미늄으로 이루어진 전극은 도 11a와 도 11b에 나타낸 바와 같이 n형 GaN층과 양호한 음접촉을 달성하고 있다. 한편, 티탄 단독 또는

또한, 어닐링후 전극 표면을 현미경으로 관찰한 결과 티탄 단독 또는 알루미늄 단독으로 이루어진 전극은 그 표면적의 90% 이상이 검게 변질되어 있었다.

[실형예 7]

직경 2인치의 사파이어 기판 위에 규소를 도프한 n형 $\text{Ga}_{0.9}\text{Al}_{0.1}\text{N}$ 층을 0.2μm의 두께로 형성하고, 그 표면 위에 100μm의 두께로 티탄과 알루미늄의 적층구조인 n전극재료를 티탄층과 알루미늄층의 두께 비율로 변경하고 각각 1000개씩 증착하고 450°C로 어닐링하였다. 동일재료로 이루어진 전극의 전류-전압특성을 측정하였다. 결과를 도 12a~도 12d에 선A~D로 나타내었다. 제12a도~제12d도는 각각 티탄과 알루미늄을 0.001 :

1의 두께 비율로, 알루미늄과 티탄을 0.001 : 1의 두께 비율로, 티탄과 알루미늄을 1 : 0.001의 두께 비율로, 알루미늄과 티탄을 1 : 0.001의 두께 비율로 각각 순차적으로 적층하여 얻은 전극에 관한 것이다. 이들 도면은, 티탄과 알루미늄으로 이루어진 전극은 그 티탄과 알루미늄의 함유 비율에 관계없이 모두 양호한 옴특성을 가지는 것을 분명하게 나타내고 있다. 또, 티탄층을 직접 n형 반도체층에 접촉시킨 Ti-A1 전극은 제12a도 및 제12c도에 나타난 바와 같이 양호한 옴특성을 모두 나타내었으나, 알루미늄을 n형 반도체층에 직접 접촉시킨 A1-Ti 전극은 바람직한 옴특성을 나타내지 않는 것이 몇 개씩 있었다. 또한, 어느 전극도 모두 변질되지 않았다.

[실형예 8]

규소를 도프한 n형 GaAlN층 위에 우선 티탄을 0.03 μ m의 두께로 증착하고, 그 위에 알루미늄을 0.05 μ m의 두께로 증착하고, 다시 그 위에 금을 0.5 μ m의 두께로 증착한 후 이 적층구조를 여러 온도에서 5분간 어닐링하였다. 얻어진 전극의 전류-전압특성을 측정하였다. 결과를 제13a도~제13d도에 선 A~D로 나타내었다. 제13a도는 어닐링 온도가 300℃인 경우, 제13b도는 어닐링 온도가 400℃인 경우, 제13c도는 어닐링 온도가 500℃인 경우, 그리고 제13d도는 어닐링 온도가 600℃인 경우에 관한 것이다. 이들 도면에서 알 수 있는 바와 같이, 어닐링 온도가 300℃인 경우의 전극은 n형 반도체층과의 사이에서 양호한 옴특성을 나타내지 않고(제13a도), 어닐링 온도가 400℃ 이상인 경우의 전극은 바람직한 옴특성을 나타낸다(제13b도~제13d도). 또, n전극을 티탄과 알루미늄과 금의 합금으로 형성하여도 동일한 효과가 얻어진다.

[실형예 9]

규소를 도프한 n형 GaN층 위에 티탄을 0.03 μ m의 두께로 증착하고, 그 위에 금을 0.5 μ m의 두께로 증착한 것 이외에는 실형예 8과 동일한 실험을 하였다. 결과를 제14a도~제14d도에 선 A~D로 나타내었다. 제14a도는 어닐링 온도가 300℃인 경우, 제14b도는 어닐링 온도가 400℃인 경우, 제14c도는 어닐링 온도가 500℃인 경우, 그리고 제14d도는 어닐링 온도가 600℃인 경우에 관한 것이다. 이들 도면에서 알 수 있는 바와 같이, 어닐링 온도가 300℃인 경우의 전극은 n형 반도체층과의 사이에서 양호한 옴특성을 나타내지 않고(제14a도), 어닐링 온도가 400℃ 이상인 경우의 전극은 바람직한 옴특성을 나타낸다(제14b도~제14d도). 또, n전극을 티탄과 금

제13a도~제13d도와 제14a도~제14d도를 비교하면, 티탄과 금을 포함하는 전극 재료에 다시 알루미늄을 첨가하면 보다 낮은 어닐링 온도에서도 바람직한 옴특성을 나타내는 n전극을 얻을 수 있음을 알 수 있다. 보다 낮은 온도에서 바람직한 옴특성을 얻을 수 있다는 것은 열에 의한 질화갈륨계 III-V족 화합물 반도체의 분해를 억제할 수 있고 그 결정성을 유지할 수 있다는 점에서 매우 바람직하다.

[실형예 10]

n전극과 금볼의 접촉강도를 조사하기 위해서 이하의 실험을 하였다.

제15도를 참조하면, 규소를 도프한 n형 GaN층(71) 위에 A1으로 이루어지는 박막 또는 Ti-A1, Ti-Au, Ti-Au-A1 또는 Ti-A1-Au로 이루어지는 다층막(각 다층막은 왼쪽부터 순서대로 적층)을 각각 직경 120 μ m의 크기로 100개씩 형성하고, 500℃로 어닐링하여 n전극(72)을 형성하였다. 이어서, 각 n전극을 하루동안 공기 중에 방치하여 표면이 산화되도록 하였다. 그런 다음, 각 n전극(72) 위에 금와이어(74)를 물분당하여 직경 100 μ m의 금볼(72)을 형성하였다. 그후, 금볼(73)의 바로 옆에서 칼(75)로 금볼(73)을 수평으로 끊어서 금볼(73)이 박리되거나 또는 감리되지 않고 찌부러질 때까지 칼(75)에 하중을 가했다. 결과를 표 2에 나타내었다. 표 2에 있어서, 각 하중 아래에 기록된 수치는 전극에서 금볼이 박리된 개수를 나타내며, 금볼이 박리되지 않고 찌그러진 것은 '찌부러짐' 이라고 기록하였다.

[표 2]

| 재료 | 하중 | 20g | 30g | 40g | 50g | 60g | 70g |
|----------|----|-----|-----|-----|-----|-----|------|
| Al | | 95 | 5 | | | | |
| Ti-Al | | 93 | 7 | | | | |
| Ti-Au-Al | | 0 | 0 | 6 | 25 | 69 | |
| Ti-Al-Au | | 0 | 0 | 0 | 1 | 5 | 찌부러짐 |
| Ti-Au | | 0 | 0 | 0 | 0 | 1 | 찌부러짐 |

표 2에 나타난 바와 같이, 티탄과 알루미늄과 금으로 이루어진 n전극은 티탄과 알루미늄으로 이루어진 n전극보다 내산화성이 우수하고, 따라서 금볼과의 보다 강한 접착력을 나타낸다. 또 티탄과 알루미늄과 금으로 이루어진 n전극의 경우, 알루미늄을 최상층으로 한 경우보다 금을 최상층으로 한 쪽이 보다 강한 접착력을 나타내는 것도 알 수 있다.

양호한 옴특성을 가지며 티탄 및 알루미늄으로 이루어지는 n전극재료층의 산화에 의한 금볼과의 접착력 저하를 방지하기 위해서, 그 표면에 알루미늄보다 높은 용점을 가지는 고용점 금속재료층을 적층하는 것도 바람직하다. 이와 같은 고용점 금속재료로서는 금, 티탄, 티철, 백금, 텅스텐, 몰리브덴, 크롬 및/또는 구리가 포함된다. 특히 바람직한 것은 금, 티탄 및/또는 니켈이다. 이들 재료는 티탄 및 알루미늄으로 이루어지는 제1금속재료층과의 밀착성이 매우 우수하기 때문에 상기 제1재료층과 박리되는 일이 없고, 또 와이어 본딩시에 형성된 금볼과의 접착성도 양호하다. 그 중에서도 제2고용점 금속재료는 금을 포함하는 것이 바람직하다. 특히 바람직하게는 금과 금 이외의 고용점 금속(바람직하게는 티탄 및/또는 니켈)을 포함하는 재료이다. 이들 고용점 금속재료는 미리 합금화되어 있어도 되지만, 각 금속층을 적층한 구조의 것이 바람직하다. 이 경우, 금을 최상층으로 하는 것이 바람직한 것은 앞서 설명한 바와 같다. 이와 같이 적층막을

제16도는 이와 같은 적층구조의 n전극(57)을 나타내고 있다. 제16도에 있어서, n전극(57)은 티탄과 알루미늄의 적층구조로 이루어지는 제1박막(57a) 및 그위에 형성된, 예를 들어 적층구조의 고용점 금속재료를 이루어지는 제2박막(57b)으로 이루어진다.

[실형예 11]

규소를 도포한 n형 GaN층 위에 티탄을 0.03 μ m의 두께로 증착하고 그 위에 알루미늄을 0.1 μ m의 두께로 증착하여 제1박막을 형성한 후, 알루미늄층 위에 티탄을 0.03 μ m, 니켈을 0.03 μ m 및 금을 0.5 μ m의 두께로 순차 증착한 것 이외에는 실험예 8과 동일한 실험을 하였다. 결과를 제17a도~제17d도에 선 A~D로 나타내었다. 제17a도는 어닐링 온도가 300℃인 경우, 제17b도는 어닐링 온도가 400℃인 경우, 제17c도는 어닐링 온도가 500℃인 경우, 그리고 제17d도는 어닐링 온도가 600℃인 경우에 관한 것이다. 이들 도면에서 알 수 있는 바와 같이, 어닐링 온도가 300℃인 경우의 전극은 n형 반도체층과의 사이에서 양호한 옴특성을 나타내지 않고(제17a도), 어닐링 온도가 400℃ 이상인 경우의 전극은 바람직한 옴특성을 나타낸다(제17b도~ 제17d도). 또, 600℃에서의 어닐링이 옴특성을 악화시키지 않는 것도 알 수 있다.

[실형예 12]

n전극과 금물의 접착강도를 조사하기 위해서 하기 표 3에 나타난 전극재료를

[표 3]

| 재료 \ 하중 | 20g | 30g | 40g | 50g | 60g | 70g |
|----------------|-----|-----|-----|-----|-----|------|
| Ti-Al | 3 | 7 | - | - | - | - |
| Ti-Al-Au | 0 | 0 | 0 | 1 | 5 | 찌부러짐 |
| Ti-Al-Ti-Au | 0 | 0 | 0 | 0 | 0 | 찌부러짐 |
| Ti-Al-Ni-Au | 0 | 0 | 0 | 0 | 0 | 찌부러짐 |
| Ti-Al-Ti-Ni-Au | 0 | 0 | 0 | 0 | 0 | 찌부러짐 |

표 3에서 알 수 있는 바와 같이, 고용점 금속재료는 티탄 및 알루미늄으로 이루어지는 금속재료의 내산화성을 향상시켜 금물과의 접착성을 향상시킨다.

또, 이상 설명한 본 발명의 n전극은 제1도 및 제3도~제9도의 디바이스 n전극(14)으로 적용하여, 그 디바이스의 특성을 향상시킬 수 있음은 물론이다.

이하, 본 발명의 실시예를 기재한다.

[실시예 1]

사파이어 기판 위에 도퍼트가 도포되지 않은 GaN으로 이루어진 버퍼층(두께 0.02 μ m), 규소를 도포한 n형 GaN층(두께 4 μ m) 및 마그네슘을 도포한 P형 GaN층(두께 1 μ m)을 순차 적층하여 된 직경 2인치의 웨이퍼를 준비하였다. 이어서, n형 GaN층의 n전극 형성부(에칭부)가 노출되도록 p형 GaN층을 에칭제거하였다.

이어서, 노출된 n형 GaN층의 에칭부를 마스크한 후, p형 GaN층 전면에 니켈을 0.03 μ m의 두께로, 다시 그 위에 금을 0.07 μ m의 두께로 증착하였다. 이어서, 이 증착막을 마스크하고 노출된 n형 GaN층의 에칭부에 알루미늄을 증착하였다.

그 후, 얻어진 웨이퍼를 500℃에서 10분간 어닐링처리하여 니켈과 금을 합금화함과 아울러 투과성으로 하였다. 어닐링 후의 p전극의 두께는 0.07 μ m이고, 투과성을 나타내었다.

이 웨이퍼를 350 μ m 각(角)의 칩으로 절단하고, 1개의 칩을 제1도에 나타난 바와 같이 컵형상의 리드프레임 위에 얹어놓고서 소정의 와이어 본딩을 하여 발광 다이오드를 제작하였다. 이 다이오드의 발광출력은 20mA에서 80 μ m이고, 순방향 전압은 4V였다.

또한, 2인치의 웨이퍼에서 절단된 칩의 수는 약 16000개였고, 이들 칩에서 얻은 발광다이오드에서 정속불량품을 제거한 후의 성공율은 95% 이상이었다.

이와 관련하여, 실시예 1에서 얻은 웨이퍼를 이용하여 종래와 마찬가지로 p전극 및 n전극을 각각 리드프레임과 직접 접촉하도록(사파이어 기판을 위로 하여) 칩을 배치하고자 한 경우, 칩의 사이즈는 최소한 1mm각이 필요하였다. 이 1mm각의 칩을 2개의 리드프레임에 걸쳐지도록 얹어놓고서 소량의 전극 접속을 하여 발광다이오드를 제작하였다. 이 발광다이오드는 20mA에서의 발광출력이 40 μ m이고, 횡방향의 발광이 충분하지 않음을 알 수 있었다. 또, 2인치의 웨이퍼에서 절단된 칩의 수는 2000개에 불과하고, 이들 칩에서 얻은 발광다이오드에서 정속불량품을 뺀 후의 성공율은 불과 60%였다.

이와 같이 본 발명에 의하면, p형 반도체층의 전극이 옴접촉을 달성할 수 있는 금속으로 이루어지고 또한 투과성이기 때문에 질화갈륨계 화합물 반도체층측에서 발광의 관측을 허용하는 발광다이오드가 제공되고, 또 이에 의해서 발광다이오드

[실시예 2]

어닐링을 600℃에서 한 것 이외에는 실시예 1의 순서대로 하였다. 얻어진 p형 전극은 실시예 1의 p형 전극과 거의 같은 두께를 가지고 동일한 투과성을 나타내었다. 또, 제작된 발광다이오드는 실시예 1의 발광다이오드와 거의 같은 발광출력, 순방향전압을 나타내었고 또 성공률도 거의 동일하였다.

[실시예 3]

p형 GaN층 위에 크롬을 $0.5\mu\text{m}$ 의 두께로, 니켈을 $0.5\mu\text{m}$ 의 두께로 순차 증착한 것 이외에는 실시예 1의 순서대로 하였다. 얻어진 p형 전극은 $0.7\mu\text{m}$ 의 두께를 가지며 동일한 투광성을 나타내었다. 또, 제작된 발광다이오드는 실시예 1의 발광다이오드와 거의 같은 발광출력, 순방향전압을 나타내었고, 또 성공률도 거의 동일하였다.

[실시예 4]

p형 GaN층 위에 백금을 $0.01\mu\text{m}$ 의 두께로, 티탄을 $0.1\mu\text{m}$ 의 두께로 순차 증착한 것 이외에는 실시예 1의 순서대로 하였다. 얻어진 p형 전극은 $0.7\mu\text{m}$ 의 두께를 가지며 동일한 투광성을 나타내었다. 또, 제작된 발광다이오드는 실시예 1의 발광다이오드와 거의 같은 발광출력, 순방향전압을 나타내었고 또 성공률도 거의 동일

[실시예 5]

직경 2인치의 사파이어 기판 위에 GaN버퍼층, 규소를 도포한 n형 GaN층, 규소를 도포한 GaAlN 피복층, 아연과 규소를 도포한 InGaN활성층, 마그네슘을 도포한 GaAlN 피복층 및 마그네슘을 도포한 p형 GaN 접촉층을 순차 적층하여 이중हे테로구조의 웨이퍼를 작성하였다.

이어서, 1개의 칩이 제10도에 나타낸 구조를 가지도록 에칭을 실시하여 n형 GaN층을 부분적으로 노출시키는 에칭부를 형성하였다. 소정의 마스크를 이용하여 노출된 n형 GaN층의 에칭부 위에 티탄을 100Å, 그 위에 금을 $0.5\mu\text{m}$ 의 두께로 증착하여 직경 $100\mu\text{m}$ 의 다층막을 형성하였다.

얻어진 웨이퍼를 질소 분위기 중의 600°C 에서 5분간 어닐링하여 다층막을 n전극으로 전화하였다. n전극간의 전류-전압특성을 웨이퍼프로브로 측정한 결과 제12d도에 나타낸 바와 같은 용특성을 나타내었다.

이어서, p형 접촉층 위에 통상의 방법으로 p전극을 형성한 후 웨이퍼를 소망하는 칩 크기로 절단하였다. 이와 같이 하여 2인치의 웨이퍼에서 15000개의 칩을 얻었다.

각 칩을 다이본딩(die bonding)에 의해서 리드프레임 위에 설치하고, 볼본딩에 의해서 p전극 및 n전극에 금 와이어를 접속하였다. 15000개의 칩 중에서 볼본딩중에 볼과 n전극이 박리된 것은 없었다. 또, 본딩 후 20개의 칩을 무작위로 추출하여 각각의 금와이어를 잡아당긴 결과, 모두 볼이 n전극에서 박리되기 전에 금와이어가 끊어졌다.

[실시예 6]

n전극재료로서 티탄을 100Å, 그 위에 알루미늄을 $0.4\mu\text{m}$ 의 두께로 증착한 것 이외에는 실시예 5와 동일하게 하여 15000개의 발광칩을 얻었다. 웨이퍼프로브에 의한 모든 n전극의 전류-전압특성의 측정은 제11a도에 나타낸 바와 같은 특성을 나타내었다. 또, 15000개의 칩 중에서 볼본딩중에 볼과 n전극이 박리된 것은 없었다. 또, 본딩 후 20개의 칩을 무작위로 추출하여 각각의 금와이어를 잡아당긴 결과, 모두 볼이 n전극에서 박리되기 전에 금와이어가 끊어졌다.

[실시예 7]

n전극재료로서 티탄을 1% 포함하는 Ti-Al 합금을 $0.5\mu\text{m}$ 의 두께로 증착한 것 이외에는 실시예 5와 동일하게 하여 15000개의 발광칩을 얻었다. 웨이퍼프로브에 의한 모든 n전극의 전류-전압특성의 측정은 제11b도에 나타낸 바와 같은 특성을 나타내었다. 또, 15000개의 칩 중에서 볼본딩중에 볼과 n전극이 박리된 것은 없었다. 또, 본딩 후 20개의 칩을 무작위로 추출하여 각각의 금와이어를 잡아당긴 결과, 모두 볼이 n전극에서 박리되기 전에 금와이어가 끊어졌다.

[실시예 8]

실시예 5의 발광칩을 p전극과 n전극에 2개의 리드프레임을 접착하였다. 이 경우 p전극 및 n전극은 각각 인동 접착제를 이용하여 접착하였다. 접착후, n전극과 접속한 리드프레임을 잡아당긴 결과 인동과 리드프레임의 경계면에서 박리가 생겼다.

이 실시예는 본 발명의 n전극이 납땜, 인동, 금합금 등의 통상의 접착제를 이용하여 리드프레임과 직접 강고하게 접착하는 것을 나타내고 있다.

[실시예 9]

n전극재료로서 티탄을 100Å, 그 위에 알루미늄을 $0.1\mu\text{m}$ 의 두께로 증착하여 제1박막을 형성하고, 다시 그 위에 제2박막으로서 티탄을 $0.1\mu\text{m}$ 및 니켈을 $0.1\mu\text{m}$ 의 두께로 형성한 것 이외에는 실시예 5와 동일하게 하여 15000개의 발광칩을 얻었다. 웨이퍼프로브에 의한 모든 n전극의 전류-전압특성의 측정은 제13d도에 나타낸 바와 같은 특성을 나타내었다. 또, 15000개의 칩 중에서 볼본딩중에 볼과 n전극이 박리된 것은 없었다. 또, 본딩 후 20개의 칩을 무작위로 추출하여 각각의 금와이어를 잡아당긴 결과, 모두 볼이 n전극에서 박리되기 전에 금와이어가 끊어졌다.

[실시예 10]

n전극재료의 제2박막으로서 티탄을 $0.1\mu\text{m}$ 의 두께로, 금을 $0.4\mu\text{m}$ 의 두께로 증착한 것 이외에는 실시예 9와 동일하게 하여 15000개의 발광칩을 얻었다. 웨이퍼프로브에 의한 모든 n전극의 전류-전압특성의 측정은 제14d도에 나타낸 바와 같은 특성을 나타내었다. 또, 15000개의 칩 중에서 볼본딩중에 볼과 n전극이 박리된 것은 없었다. 또, 본딩 후 20개의 칩을 무작위로 추출하여 각각의 금와이어를 잡아당긴 결과, 모두 볼이 n전극에서 박리되기 전에 금와이어가 끊어졌다.

[실시예 11]

n전극재료의 제2박막으로서 티탄을 $0.1\mu\text{m}$ 의 두께로, 크롬을 $0.1\mu\text{m}$ 의 두께로, 금을 $0.4\mu\text{m}$ 의 두께로 증착한 것

이외에는 실시예 9와 동일하게 하여 15000개의 발

[실시예 12]

실시예 9의 발광칩을 p전극과 n전극에 2개의 리드프레임을 접착하였다. 이 경우, p전극 및 n전극은 각각 인동 접착제를 이용하여 접착하였다. 접착 후, n전극과 접속한 리드프레임을 잡아당긴 결과 인동과 리드프레임의 경계면에서 박리가 생겼다.

이상 본 발명을 구체적인 실시형태를 참조하여 설명하였지만, 본 발명은 이것들에 한정되는 것은 아니다. 각 실시형태는 적절한 경우에는 다른 형태로도 적용할 수 있다. 또, 예를 들어 본 발명은 p-n 호모접합 또는 p-n 이종헤테로접합의 질화갈륨계 III-V족 화합물 반도체 발광다이오드에 더하여, p-n 단일헤테로접합의 질화갈륨계 III-V족 화합물 반도체 발광다이오드에도 적용할 수 있다. 또, 본 발명은 발광다이오드뿐만 아니라 발광레이저다이오드 등의 다른 발광다이오드, 또한 태양전지, 포토다이오드 등의 600nm 이하의 파장에 감도를 가지는 수광(수광(受光))다이오드에도 적용할 수 있다. 또, 본 발명은 주로 질화갈륨계 III-V족 화합물 반도체에 음접촉하는 전극재료를 제공하는 것이므로, 본 발명은 기판 위에 p형 질화갈륨계 III-V족 화합물 반도체층 및/또는 n형 질화갈륨계 III-V족 화합물 반도체층을

발명의 효과

이상과 같이 본 발명에 의하면, 투광성의 p전극을 덮는 보호막이 절연성이기 때문에 와이어 본딩시에 n전극 위에 형성되어 그 곳에 잔존하는 금속물이 p전극과 접속하여도 양자가 전기적으로 합선되는 것을 방지할 수 있다. 또, 보호막이 투명하기 때문에 p전극을 통과하는 디바이스로부터의 광을 투과시킴으로써 디바이스의 외부 양자효율(발광효율)을 저하시키지 않는다. 또한, 보호막은 p전극에 흡집이 나는 것을 방지함과 아울러 본딩패드나 p전극이 와이어 본딩시에 와이어에 의해서 잡아당겨짐에 의해서 박리되는 것을 방지할 수 있다.

(57) 청구의 범위

청구항 1. 기판과, 상기 기판 위에 형성된 n형 반도체층 및 p형 반도체층을 포함하는 반도체 적층구조와, 상기 p형 반도체층의 일부가 제거되어 노출된 상기 n형 반도체층에 접하여 형성된 제1전극과, 상기 p형 반도체층에 접하여 형성된 제2전극과, 상기 제2전극에 접하여 형성된 본딩을 위한 본딩패드를 구비한 질화갈륨계 III-V족 화합물 반도체 발광다이오드에 있어서, 상기 제2전극은 상기 p형 반도체층의 거의 전면에 접하여 형성된 금속재료를 포함하는 투광성의 전극이고, 상기 제1전극과 상기 본딩패드 사이의 제2전극의 노출면을 덮는 투명한 절연성의 보호막이 형성되어 있는 것을 특징으로 하는 질화갈륨계 III-V족 화합물 반도체 발광다이오드

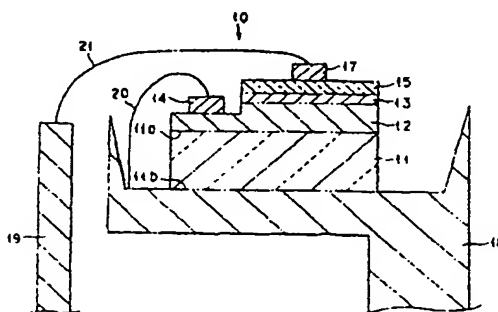
청구항 2. 청구항 1에 있어서, 상기 보호막이 상기 제2전극의 전노출면과 상기 p형 반도체층의 노출단면 및 상기 n형 반도체층의 전노출면을 덮는 것을 특징으로 하는 질화갈륨계 III-V족 화합물 반도체 발광다이오드.

청구항 3. 청구항 1에 있어서, 상기 보호막이 상기 제1전극의 본딩와이어가 접속되는 표면부분과 상기 본딩패드의 본딩와이어가 접속되는 표면부분을 제외한 거의 전면을 덮는 것을 특징으로 하는 질화갈륨계 III-V족 화합물 반도체 발광다이오드.

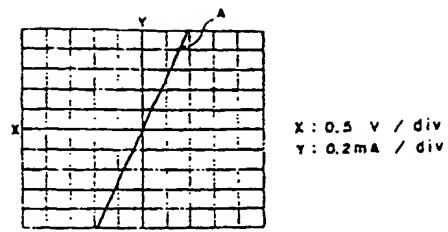
청구항 4. 청구항 1 내지 청구항 3중 어느 한 항에 있어서, 상기 보호막이 산화규소.

도면

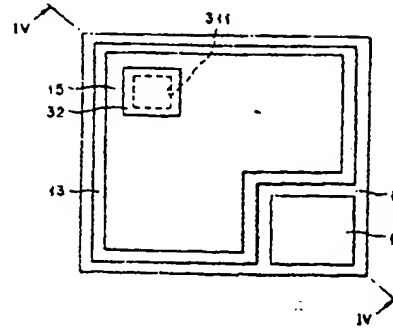
도면1



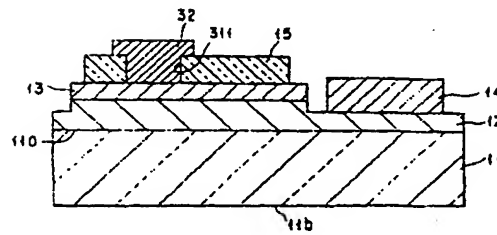
도면2



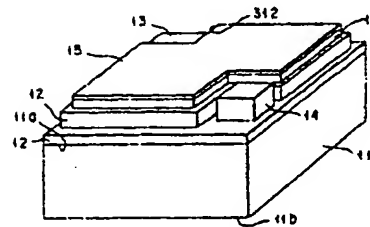
도면3



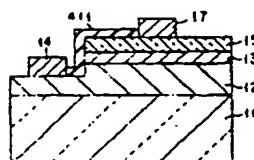
도면4



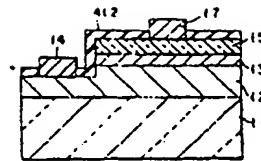
도면5



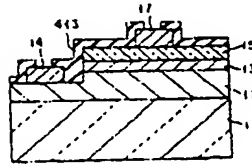
도면6



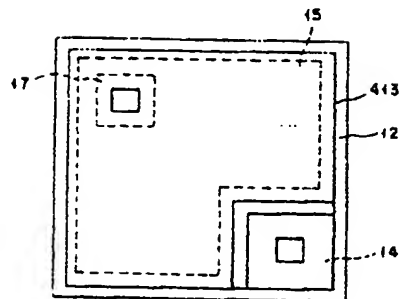
도면7



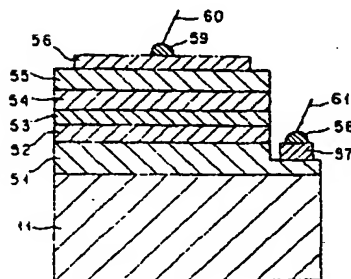
도면8



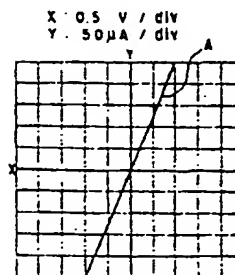
도면9



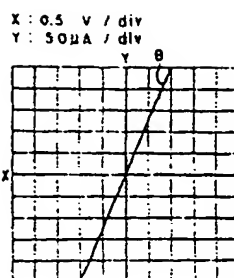
도면10



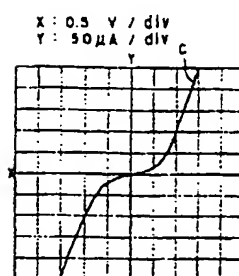
도면11a



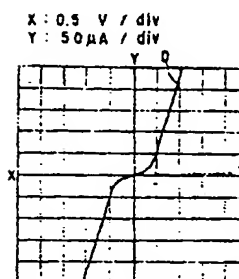
도면11b



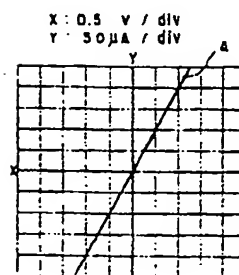
도면11c



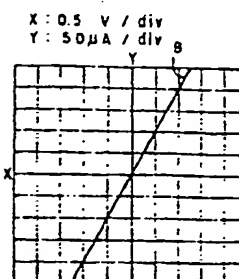
도면11d



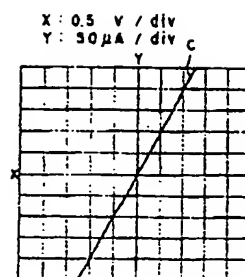
도면12a



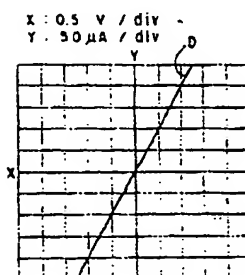
도면12b



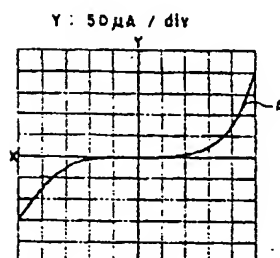
도면12c



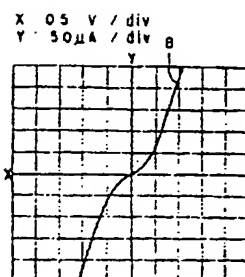
도면12d



도면13a

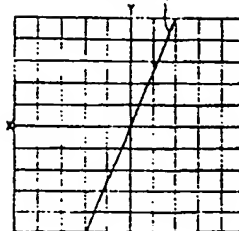


도면13b



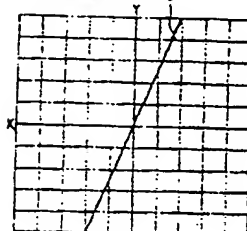
도면13c

X : 0.5 V / div
Y : 50 μ A / div



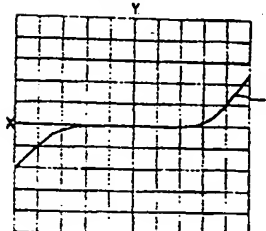
도면13d

X : 0.5 V / div
Y : 50 μ A / div



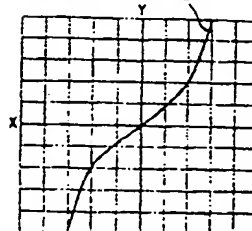
도면14a

X : 0.5 V / div
Y : 50 μ A / div



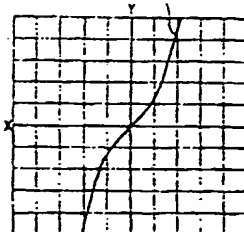
도면14b

X : 0.5 V / div
Y : 50 μ A / div

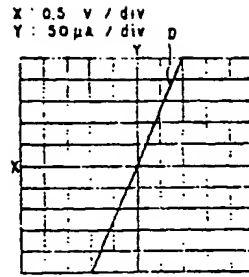


도면14c

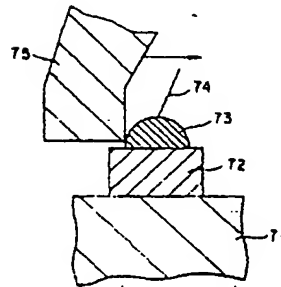
X : 0.5 V / div
Y : 50 μ A / div



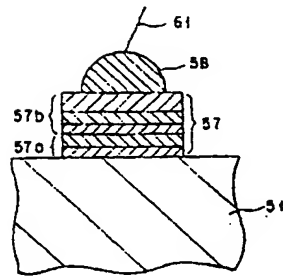
도면14d



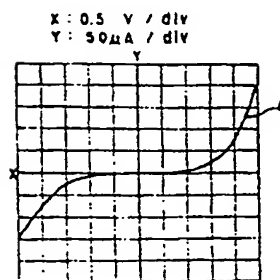
도면15



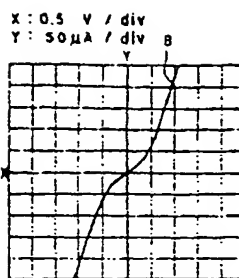
도면16



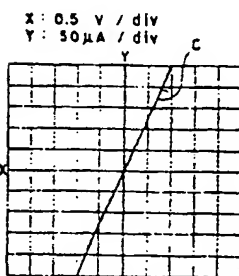
도면17a



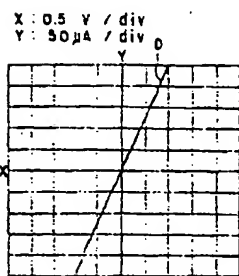
도면17b



도면17c



도면17d



<Written Opposition dated January 15, 2001>

Reference 1 (Jpn. Pat. Appln. KOKAI No. 5-211347):

Reference 1 relates to a MIS-type light-emitting device. The layer which a second electrode is to be in contact with, is an i layer and not a p-type layer. Therefore, the second electrode does not serve as an ohmic electrode. Furthermore, reference 1 neither discloses nor suggests that chrome or chrome and gold are annealed at a temperature of 400 °C or more.

Reference 2 (Jpn. Pat. Appln. KOKAI No. 3-183173):

Reference 2 neither discloses nor suggests that that chrome or chrome and gold are annealed at a temperature of 400 °C or more.

Reference 3 (Jpn. Pat. Appln. KOKAI No. 4-68579):

Reference 3 neither discloses nor suggests that chrome or chrome and gold are annealed at a temperature of 400 °C or more.

Reference 4 (Jpn. Pat. Appln. KOKAI No. 5-129658):

An electrode 7 is ITO. The layer which the ITO electrode 7 is to be in contact with, is an i layer and not a p-type layer. Therefore, the ITO electrode 7 cannot serve as an ohmic electrode. ITO has a drawback in that ITO has a larger electrical resistance than a metal. Reference 4 neither discloses nor suggests chrome or a combination of chrome and gold, and that chrome or chrome and gold are annealed at a temperature of 400 °C or more.

Reference 5 (Jpn. Pat. Appln. KOKAI Publication No. 57-111076): Reference 5 neither discloses nor suggests a nitride semiconductor. Furthermore, a P electrode is Au/Zn/Au (page 2, upper right column, line 14). Reference 4 neither discloses nor suggests chrome or a combination of chrome and gold, and that chrome or chrome and gold are annealed at a temperature of 400 °C or more.

Reference 6 (Jpn. Pat. Appln. KOKAI Publication No. 5-13816): Similarly to Reference 1, Reference 6 relates to a light-emitting device of an MIS type structure. The layer which an electrode 7 is to be in contact with, is an i layer and not a p-type layer. Reference 6 neither discloses nor suggests chrome or a combination of chrome and gold, and that chrome or chrome and gold are annealed at a temperature of 400 °C or more.

Reference 7 (Jpn. Pat. Appln. KOKAI Publication No. 62-2675): Reference 7 neither discloses nor suggests chrome or a combination of chrome and gold, and that chrome or chrome and gold are annealed at a temperature of 400 °C or more.

Reference 8 (Jpn. Pat. Appln. KOKAI Publication No. 62-287675): Reference 8 relates to a light-emitting element using a compound semiconductor such as GaP, GaAs, GaAlAs, and neither discloses nor suggests use of a nitride compound semiconductor. Reference 8 neither discloses nor suggests chrome or a combination of chrome

and gold, and that chrome or chrome and gold are annealed at a temperature of 400 °C or more.

Note that a gallium nitride based semiconductor shows a behavior which greatly differs from not only a single element semiconductor such as silicon but also other III-V Group compound semiconductors such as GaP, GaAs, and GaAlAs. In particular, since the gallium nitride based semiconductor has a large band gap, it has been conventionally difficult to obtain an electrode attaining an ohmic contact. Therefore, findings on an electrode to other III-V Group compound semiconductor do not provide any help to the gallium nitride based semiconductor.

English Translation of Letter to the Patent Office

Page 1/5

Mailing date: January 19, 2001

Addressee: Nichia Chemical Industries Ltd.

Agency: Peng Xiuxia

Summary:

Forwarded are a copy of a Written Opposition to Patent Application No. 83103775P02 alleged by Mr. Lie Yingben on November 30, 2000 and six Exhibits. Please send two copies of a written reply (including evidence) and one copy for each of an allowed patent specification and drawing within one month from the following day of the mailing date of this letter. In the case where the materials are not submitted by the due date, examination will be made based on materials presently available.

Explanation:

1. Notice is made under the provision of Section 42 of the Patent Law.

2. In the event where the address of a person/party concerned has been changed, the address change should be registered in a written form with the payment of a fee of NT \$1,000 for mailing written materials.

3. Originals of Exhibits 1 and 2 have not been filed. Exhibits 3-6 have not been certified. Chinese translations of Exhibits 1-6 have not been filed. Response should be made based on materials presently available.

Original: Nichia Chemical Industries Ltd.

Representative: Mr. Peng Xiuxia

Copy: Mr. Liu Yingben

Filing date by opponent: November 30, 2000

1. Application Number of the Opposed Patent Application:
83103775 (KOKOKU No. 403945)
2. Title of the Opposed Application: Gallium nitride-based III-V Group compound semiconductor device having an ohmic electrode and a method of producing the same
3. Defendant: Nichia Chemical Industries Ltd.
Residence: Japan
4. Opponent: Liu Yingben
Residence: No. 68, 20 Xiang, Caiqua Keng, Xiangshan Qu, Xiazhu Xian, Taiwan
Telephone:
Representative:
5. Attachment: (omitted)
6. Grounds for Opposition:
 1. In Section 22 (4) of the Patent Law, there is a provision "the formality of the specification, drawings and claims shall be determined by the enforcement regulations". Furthermore, in Section 14 of the Patent Law Enforcement Regulations, there is a provision "a translated scientific term must be written along with its original term of foreign language. In the case where the National Translation house¹ specifies the terms to be used in translation, translation must be performed in accordance with the terms. However, when the opposed application is checked, the translated terms are clearly

¹ Literal translation

against these regulations. For example, when the opponent checked various types of terms edited and translated by the National Translation house, he has failed to find a case where the term "anneal" (description of the invention, page 3, line 4) was translated into a proper term in Chinese. Furthermore, the term "short-key barrier" in the description of the invention, page 2, line 3 from the bottom of an original English text is clearly a wrong term. Nevertheless, Applicant has not yet amended this error up until now from the fining date of 1995. Misleading may occur. In addition, we found many portions we cannot understand throughout the specification. For example, we do not understand the meaning of the phrase "a metallic wire is bonded to a wire and also exhibits a good adhesion with a ball formed of a metallic wire " in the description of the invention, page 10, lines 3 to 4. Furthermore, the description "sapphire is not insulative" in the description of the invention, page 1, the last line, is clearly against the fact that sapphire is electrically insulative. In short, the specification of the opposed application is against the provision of Section 22 (4) of the Patent Law and thus unpatentable.

2. As shown in Exhibit (1), it is disclosed that an ohmic electrode is formed of Ti/Al, Ti/Au, Al, or Au on an n-type GaN long before the filing date of the opposed application and then subjected to an annealing treatment (Exhibit (1), page 1003, Fig. 1 and Page 1004, Fig. 2).

It is therefore clear that the present invention has lost novelty. Hence, the present invention cannot be patentable.

3. As described in Exhibit (2), page 1786, line 12 to 13 (right column), a technique making use of an ohmic contact of a Ti/Au stacked layer on an n-type GaN has been present before the opposed application is filed, and a technique using a metal wire as an electrode has been known to public. Hence, it is clear that the opposed application does not have novelty.

4. The content of ohmic contact formed on an n-type semiconductor layer, disclosed by the opposed application is the same as that of Japanese Patent No. 2783349 (Exhibit (3)). However, as a result that the Japanese Patent No. 2783349 is opposed in Japan, the scope of the claims of the patent has been narrowed as described in the decision on opposition (see Exhibit (4), page 2, lines 4 to 20). It is therefore clear that claims 22, 32 and 34 of the opposed application must be narrowed in scope. It is also add to describe that the filing date of the opposed application (April 27, 1994) is later than the filing date (July 28, 1993) of the patent application in Japan.

5. As described in claim 1 of Exhibit (5), all materials selected from the group consisting of Au, Pt, Ag and Ni can produce an ohmic contact with a p-type gallium nitride based compound semiconductor, leading to an electrode. In

addition, all materials selected from the group consisting of Al, Cr, Ti, and In can produce an ohmic contact with an n-type gallium nitride based compound semiconductor, leading to an electrode (claim 2). Hence, it is clear that the opposed application has lost novelty.

6. As shown in Exhibit (6), 440 cases of patent publications published in Japan before the filing date of the opposed application, contain key words such as "Ni" and "electrode" in their abstract and the claims. Of them, it is possible to pick up a large number of prior techniques using Ni as an electrode. Hence, it is clear that ordinary people can quite easily reach the technique using a metallic wire as an electrode material. Hence, the opposed application does not have novelty and thus unpatentable.

With Complement

To the Patent Office

Attachments: Exhibits (1) to (6)